

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **10-322404**

(43)Date of publication of application : **04.12.1998**

(51)Int.Cl.

H04L 25/49

G06F 13/00

H04L 25/02

(21)Application number : **09-128961**

(71)Applicant : **SHARP CORP**

(22)Date of filing : **19.05.1997**

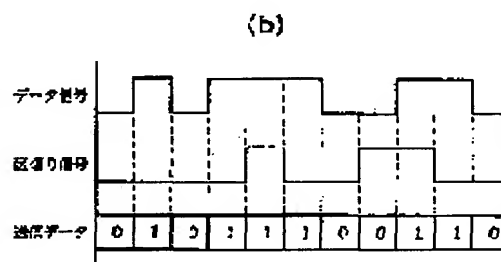
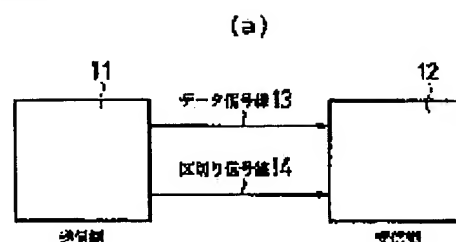
(72)Inventor : **ISHII YASUSHI**

(54) SERIAL DATA COMMUNICATION METHOD AND SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To easily attain communication at a high transmission rate.

SOLUTION: Transmission lines between a transmitter 11 and a receiver 12 are a data signal line 13 through which serial data are transmitted and a delimiter signal line 14 through which a delimiter signal to allow the receiver side to recognize delimiters of bits is transmitted in the case that consecutive bits are identical in the transmitted serial data as shown in figure (a). When logical values of consecutive bits of the transmission data are changed, the level of delimiter signals is unchanged as shown in figure (b). When consecutive bits of the transmission data are identical, the level of the delimiter signals is changed. The receiver side receives the data signals and the delimiter signals and discriminates a point of time when either the level of the data signal or the delimiter signal is changed to be a delimiter of bits and reads the digital data by discriminating the logic level of each bit of the data signals.



LEGAL STATUS

[Date of request for examination] 21.07.2000

[Date of sending the examiner's decision of rejection] 24.12.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-322404

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl. ⁶	識別記号	F I	
H 0 4 L 25/49		H 0 4 L 25/49	Z
G 0 6 F 13/00	3 5 3	G 0 6 F 13/00	3 5 3 G
H 0 4 L 25/02		H 0 4 L 25/02	J

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21) 出願番号 特願平9-128961

(22) 出願日 平成9年(1997)5月19日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 石井 康史

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

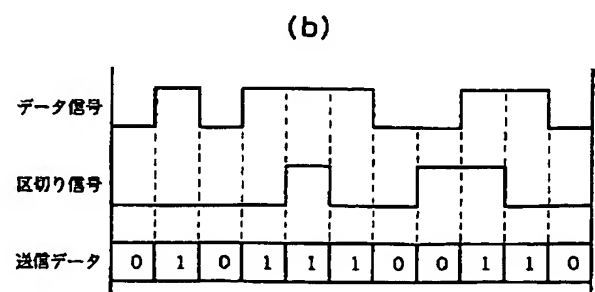
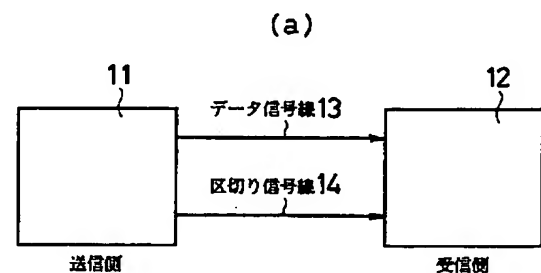
(74) 代理人 弁理士 西教 圭一郎

(54) 【発明の名称】 シリアルデータ通信方法および装置

(57) 【要約】

【課題】 高速度の通信を容易に行うことができるシリアルデータ通信方法および装置を提供する。

【解決手段】 (a) に示すように、送信装置11と受信装置12の間の伝送路は、シリアルデータを伝えるデータ信号線13と、送信するシリアルデータの連続するビットが同値であった場合に、受信側にビットの区切りを認識させるための区切り信号を伝える区切り信号線14の2つの伝送経路を含む。(b) に示すように、送信データの連続するビットで論理値が変化するときには、区切り信号のレベルを変化させない。送信データの連続するビットが同値である場合には、区切り信号のレベルを変化させる。受信側では、データ信号と区切り信号とを受信し、データ信号または区切り信号のいずれか一方のレベルが変化する時点をビットの区切りとして、データ信号の各ビットの論理値を判断してデジタルデータとして読む。



(2)

1

【特許請求の範囲】

【請求項1】 デジタルデータを、ビット毎の論理値を表す時系列的なシリアルデータとして、通信する方法であって、
データ信号の伝送経路とともに、シリアルデータのビットの区切りを示すための区切り信号の伝送経路を設けておき、
伝送側では、データ信号を、通信すべきデジタルデータの各ビットの論理値に対応するレベルで、連続的に伝送するとともに、データ信号の連続するビットが同値である場合に、予め定める区切り信号を伝送し、
受信側では、データ信号および区切り信号を受信し、データ信号のレベルが変化する時点または区切り信号が伝送される時点をもビットの区切りとして、データ信号の各ビットの論理値を判断し、デジタルデータとして読込むことを特徴とするシリアルデータ通信方法。

【請求項2】 前記予め定める区切り信号は、レベルの変化として伝送されることを特徴とする請求項1記載のシリアルデータ通信方法。

【請求項3】 前記送信側では、コンピュータのプログラム動作によってデータ信号から区切り信号を生成し、前記受信側では、コンピュータのプログラム動作によって、データ信号および区切り信号からデータ信号の各ビットの論理値を判断し、デジタルデータとして読込むことを特徴とする請求項1または2記載のシリアルデータ通信方法。

【請求項4】 デジタルデータをビット毎の論理値を表す時系列的なシリアルデータとして通信する装置であって、
データ信号を、ビット毎の論理値に対応するレベルのシリアルデータとして伝送するデータ信号伝送手段と、
データ信号のビットの区切りを示すための区切り信号を、シリアルデータとして信号する区切り信号伝送手段と、
データ信号の連続するビットが同値である場合に、出力レベルが変化するように区切り信号を発生し、区切り信号伝送手段によって伝送させる区切り信号発生手段と、
データ信号伝送手段および区切り信号伝送手段から伝送される区切り信号を受信し、データ信号または区切り信号のレベルが変化する時点をもビットの区切りとして、データ信号の各ビットの論理値を判断してデジタルデータとして読込む信号受信手段とを含むことを特徴とするシリアルデータ通信装置。

【請求項5】 前記データ信号伝送手段に、データ信号の各ビット毎の論理値に対応するレベルで信号を導出するデータラッチ手段と、
前記区切り信号伝送手段に、区切り信号の各ビット毎の論理値に対応するレベルで信号を導出する区切りラッチ手段とを備えることを特徴とする請求項4記載のシリアルデータ通信装置。

2

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタルデータのビット毎の論理値を表す、時系列的なシリアルデータの通信方法および装置に関する。

【0002】

【従来の技術】従来から、デジタルデータを時系列的に展開したシリアルデータを送受信する方法として、送信側は、各ビットの区切りを示すクロック信号とクロック信号に同期したデータ信号を別の伝送路にて送信を行い、受信側は、受信されたクロック信号に同期したタイミングでデータ信号の取込みを行うクロック同期式通信が広く知られている。

【0003】クロック同期式通信は、送信速度が受信装置の受信可能な速度の範囲内であれば送信速度に制限が無く、また、送信クロック信号に送信データ信号が同期さえしていれば途中で通信速度を変化させることも可能である。このように、クロック同期式通信は、通信速度に制約が少ないことから、汎用I/Oポートなどを備えたワンチップマイコン等を用いるシステムで、ソフトウェアで実現され、広く利用されている。

【0004】図5(a)に、従来のクロック同期式通信を実現するシステムの一例を示す。クロック同期式通信において、送信装置1を受信装置2のI/Oインタフェースの間は、データ信号の伝送路であるデータ信号線3とクロック信号の伝送路であるクロック信号線4によって接続されている。

【0005】図5(b)は、従来のクロック同期式通信方法における送信データの例と、この送信データに対するデータ信号とクロック信号の例である。なお、図5(b)では、信号の電圧レベルのハイレベルに論理値「1」を、ローレベルに論理値「0」を当てはめている。

【0006】送信装置1は、クロック信号のハイレベルからローレベルへの変化（以下、「立下がり」と称することがある）に同期させて、データ信号の論理値を変化あるいは保持させ、次のクロック信号の立下りまでデータ信号の値を保持する。そして、予め定める一定時間の後、クロック信号はローレベルからハイレベルへ変化（以下、「立上がり」と称することがある）する。そしてさらに一定時間の後、上記を繰返し、データの送信が終了するまで続けられる。

【0007】発信装置2は、受信中常にクロック信号線4から送られるクロック信号の値を読取っている。そして、クロック信号の立上がり時のデータ信号の値を取込んでゆき、データの受信が終了するまで続けられる。

【0008】なお、図5(b)の例と反対に、送信クロック信号の立上がり時点に同期してビットデータを順次送出し、受信装置はクロック信号の立下がり時点のデータを取込む方法もある。

50

(3)

3

【0009】また、特開平8-163182に開示されるシリアル通信方法は、図6に示すように、通信に使用する符号「0」および符号「1」の2種類の符号に対応する信号形式として、形式1および形式2の2通りの信号形式を用いている。符号「0」の形式1および形式2は、高信号レベルおよび低信号レベルをそれぞれとる。符号「1」の形式1および形式2は、高信号レベルおよび低信号レベルの信号レベルを交互にとる。符号「0」における形式1の高レベル期間、符号「0」における形式2の低レベル期間、符号「1」における形式1の1つの高レベル期間と1つの低レベル期間の和、符号「1」における形式2の1つの低レベル期間と1つの高レベル期間の和は、すべてシステムで規定される最小通信単位時間と等しくなるように制御される。このシリアル通信方法では、クロック信号がデータ信号に重畳されるため、ビット毎の同期が容易になっている。

【0010】

【発明が解決しようとする課題】従来のクロック同期式通信では、1ビットのデータを送信するために、データ信号は1度変化させるだけなのに対し、クロック信号はハイレベルからローレベルへ変化させ、予め定めた一定時間後に、ローレベルからハイレベルへ変化させる必要がある。つまり、1ビットのデータを通信するのにクロック信号は2度変化させなければならない。

【0011】一方受信側は、受信中常にクロック信号の値を読取っていて、クロック信号がハイレベルからローレベルに変化するのを確認し、その後、クロック信号がハイレベルに変化したのを読取る必要がある。つまり、1ビットのデータを受信するためには、クロック信号の2度の変化を読取る必要がある。

【0012】以上述べたように、従来のクロック同期式通信は1ビットのデータを送受信するのにクロック信号が2度変化する。これをワンチップマイコン等が備えている汎用I/Oを用いてソフトウェアで処理する場合、クロック信号が2度変化するのを読取らなければならないので、1度だけクロック信号の変化を読取る場合と比べて処理時間が多くかかる。そのため、受信可能な通信速度は、受信側がクロック信号を読取れる限界の速度によって制約される。

【0013】また、クロック信号送受信がCMOSデバイスを用いて実現される場合、クロック信号を高周波数にすると、CMOSデバイスでの消費電力が増加する。さらに、データ信号をクロック信号に同期させるため、データの送受信を始めると、伝送すべき一連のデータ群の送受信が終わるまで、送受信を連続して行わなければならない。

【0014】特開平8-163182に開示されるシリアル通信方法では、1ビットのデータを受信するために、いずれかの論理値に対しては、データ信号の1度の変化を読取るだけでよいが、他方の論理値に対しては、

4

従来のクロック同期式通信と同様にデータ信号の2度の変化を読取る必要がある。

【0015】本発明の目的は、高速度の通信を容易に行うことができるシリアルデータ通信方法および装置を提供することである。

【0016】

【課題を解決するための手段】本発明は、デジタルデータを、ビット毎の論理値を表す時系列的なシリアルデータとして、通信する方法であって、データ信号の伝送経路とともに、シリアルデータのビットの区切りを示すための区切り信号の伝送経路を設けておき、伝送側では、データ信号を、通信すべきデジタルデータの各ビットの論理値に対応するレベルで、連続的に伝送するとともに、データ信号の連続するビットが同値である場合に、予め定める区切り信号を送信し、受信側では、データ信号および区切り信号を受信し、データ信号のレベルが変化する時点または区切り信号が伝送される時点をもビットの区切りとして、データ信号の各ビットの論理値を判断し、デジタルデータとして読込むことを特徴とするシリアルデータ通信方法である。

【0017】本発明に従えば、送信側と受信側の間に、シリアルデータ信号の伝送経路と、シリアルデータのビットの区切りを示すための区切り信号の伝送経路が個別に設けられる。送信側は、通信すべきデジタルデータの各ビットの論理値に対応するレベルで、連続的にデータ信号を送信するとともに、データ信号の連続するビットの値が同値である場合に、予め定める区切り信号を送信するので、クロック信号のようなタイミングに同期してデータ信号を変化させる必要がない。受信側では、データ信号および区切り信号を受信し、データ信号のレベルが変化する時点または区切り信号が伝送される時点をもビットの区切りとして、データ信号の各ビットの論理値を判断してデジタルデータとして読込むので、たとえばクロック信号のように、データ信号より短い周期で連続するタイミングに対して、レベルが変化しているかを常に検出する必要がなく、データ信号の周期でビットの区切りを判断し、ビット毎の信号の読取りを簡単に処理することが可能となり、高速度の通信を行うことができる。

【0018】また本発明で、前記予め定める区切り信号は、レベルの変化として伝送されることを特徴とする。

【0019】本発明に従えば、区切り信号がレベルの変化として伝送されるので、受信側ではデータ信号または区切り信号のいずれかのレベルが変化した時点をもビットの区切りとすることができる。

【0020】また本発明で、前記送信側では、コンピュータのプログラム動作によってデータ信号から区切り信号を生成し、前記受信側では、コンピュータのプログラム動作によって、データ信号および区切り信号からデータ信号の各ビットの論理値を判断し、デジタルデータとして読込むことを特徴とする。

(4)

5

【0021】本発明に従えば、送信側では、たとえば汎用のI/Oポートを用いるなど、コンピュータのプログラム動作によってデータ信号から区切り信号を生成し、受信側では、コンピュータのプログラム動作によって、データ信号および区切り信号から、データ信号の各ビットの論理値を判断してデジタルデータとして読込むので、比較的簡単な回路で構成され、システムを小型化することができる。

【0022】また本発明は、デジタルデータをビット毎の論理値を表す時系列的なシリアルデータとして通信する装置であって、データ信号を、ビット毎の論理値に対応するレベルのシリアルデータとして伝送するデータ信号伝送手段と、データ信号のビットの区切りを示すための区切り信号を、シリアルデータとして信号する区切り信号伝送手段と、データ信号の連続するビットが同値である場合に、出力レベルが変化するように区切り信号を発生し、区切り信号伝送手段によって伝送させる区切り信号発生手段と、データ信号伝送手段および区切り信号伝送手段から伝送される区切り信号を受信し、データ信号または区切り信号のレベルが変化する時点をビットの区切りとして、データ信号の各ビットの論理値を判断してデジタルデータとして読込む信号受信手段とを含むことを特徴とするシリアルデータ通信装置である。

【0023】本発明に従えば、データ信号伝送手段は、データ信号をビット毎の論理値によって対応するレベルのシリアルデータとして伝送する。データ信号の連続するビットが同値である場合に、区切り信号発生手段は、出力レベルが変化するようにして、データ信号のビットの区切りを示すための区切り信号を発生して、区切り信号をシリアルデータとして信号する区切り信号伝送手段によって伝送させる。信号受信手段は、データ信号伝送手段から伝送されるデータ信号および区切り信号伝送手段から伝送される区切り信号を受信し、データ信号または区切り信号のレベルが変化する時点をビットの区切りとして、データの各ビットの論理値を判断してデジタルデータとして読込むので、レベルの変化の周期が長くなる。たとえば、CMOS型デバイスで信号レベルの変化または信号のレベル変化の検出が実現される場合、消費電力を減少することができる。

【0024】また本発明で、前記データ信号伝送手段に、データ信号の各ビット毎の論理値に対応するレベルで信号を導出するデータラッチ手段と、前記区切り信号伝送手段に、区切り信号の各ビット毎の論理値に対応するレベルで信号を導出する区切りラッチ手段とを備えることを特徴とする。

【0025】本発明に従えば、データ信号伝送手段は、データ信号の各ビット毎の論理値に対応するレベルで信号を導出するデータラッチ手段を備え、区切り信号伝送手段は、区切り信号の各ビット毎の論理値に対応するレベルで信号を導出する区切りラッチ手段を備える。たと

6

えば、通信処理がソフトウェアで実現される場合、ソフトウェアは信号レベルを変化させるときにのみ通信に関係し、他の処理をしながら通信を行うことができる。

【0026】

【発明の実施の形態】図1に、本発明のシリアルデータ通信方法を実現するシステムの基本的な実施の形態を表すブロック図と、送受信されるデータ、データ信号および区切り信号の一例を示す。図1(a)に示すように、本発明の通信方法において、送信装置11と受信装置12の間の伝送路は、シリアルデータを伝えるデータ信号線13と、送信するシリアルデータの連続するビットが同値であった場合に、受信側にビットの区切りを認識させるための区切り信号を伝える区切り信号線14の2つの伝送経路を含む。

【0027】図1(b)に、本発明のシリアルデータ通信方法で通信されるシリアル送信データと、これに対応するデータ信号および区切り信号の信号波形の一例を示す。データ信号は、送信データの各ビットの論理値に対応したレベルで、データ信号線13を介して連続的に伝送される単流NRZ(Non Return to Zero)符号型式の信号であり、無信号時には、基準レベルを維持している。図1(b)の区切り信号は、データ信号の連続するビットが同値である場合に、レベルの変化として伝送される信号である。送信データの論理値は、たとえば、データ信号のハイレベルに“1”を、ローレベルに“0”を当てはめる。図1(b)に示すように、送信データの連続するビットで論理値が変化するときには、区切り信号のレベルを変化させない。送信データの連続するビットが同値である場合には、区切り信号のレベルを変化させる。

【0028】以上の処理を、全てのデータを送信し終わるまで繰返す。こうすると、送信側では、データ信号と区切り信号のレベルのいずれか一方を一度だけ変化させることで1ビットのデータを送信することができる。また、受信側では、データ信号と区切り信号とを受信し、データ信号または区切り信号のいずれか一方のレベルが変化する時点をビットの区切りとして、データ信号の各ビットの論理値を判断してデジタルデータとして読込む。

【0029】従来のクロック同期式通信では、1ビットのデータを送受信するためにクロック信号の2度のレベル変化が必要であるのに対し、本発明の方法では、1ビットのデータにつき、データ信号のレベルまたは区切り信号のレベルが1度だけ変化すればよい。したがって、従来のクロック同期式通信に比べて、各ビットのデータの送受信を短時間で処理することができ、高速度なデータ通信が可能である。本実施形態において、データ信号と区切り信号は、汎用のI/Oポートを用いて、ソフトウェアで処理されて送受信される。

【0030】図2は、図1(a)の送信装置11または

(5)

7

受信装置12の内部の構成を概略的に示すブロック図である。送信装置11または受信装置12は、CPU21、CPU21によってそれぞれ制御されるROM22、RAM23、ラッチ付き出力ポート24および入力ポート25を含む。図1(a)のデータ信号線13および区切り信号線14は、送信装置11としてのラッチ付き出力ポート24と受信装置12としての入力ポート25との間にそれぞれ設けられる。ラッチ付き出力ポート24は、データ信号および区切り信号の各ビット毎の論理値に対応するレベルで信号を導出する。CPU21が論理値を変化させない限り、同一の信号レベルを保持する。すなわち、CPU21は、信号を変化させる必要があるときだけ、出力ラッチ24にアクセスすれば良く、送信処理が簡易化される。

【0031】図3は、本実施形態の送信装置11の送信時の動作を説明するフローチャートである。ステップa0で動作を開始し、ステップa1では、送信装置11としてのCPU21により、データを送信するタイミングであるか否かが判断される。データを送信するタイミングであると判断されるときはステップa2に移り、データを送信するタイミングでないと判断されるときは、データ送信処理は行われず。ステップa2では、送信装置11としてのCPU21により、RAM23のメモリ空間内に送信するデータがあるか否かが判断される。送信するデータがあるときはステップa3に移り、送信するデータがないときはデータ送信処理は行わない。

【0032】ステップa3では、送信するデータが過去の送信データに続くデータであれば、次の1ビットのデータを取り出し、新しく送信を始めるデータであればデータ群の先頭の1ビットのデータを取り出す。ステップa4では、ステップa3で取出される送信データのデータ信号レベルと1つ前の送信データのデータ信号レベルが同じか否かを比較する。比較の結果、レベルが異なると判断される場合はステップa5へ移り、レベルが同じと判断される場合はステップa6へ移る。ただし、ステップa3でデータ群の先頭が取出される場合には、ステップa3で取出される送信データのデータ信号レベルとデータ信号の無信号時の基準レベルを比較して判断され、ステップa5へ移る。送信装置11としてのラッチ付き出力ポート24には、先行して送信されるデータ信号および区切り信号のレベルが保持されている。ステップa5では、データ信号のレベルを変更し、区切り信号のレベルはそのまま保持して、ステップa7でデータ送信の動作を終了する。ステップa6では、区切り信号のレベルを変更し、データ信号のレベルはそのまま保持して、ステップa7でデータ送信の動作を終了する。

【0033】図4は、本実施形態の受信装置12の受信時の動作を説明するフローチャートである。ステップb0で動作を開始し、ステップb1では、データ信号線13から送信されるデータ信号と、区切り信号線14から

8

送信される区切り信号をそれぞれ受信する。ステップb2では、ステップb1で受信される現在の信号のレベルと、受信装置12としてのRAM23に記憶されている先行する信号のレベルを比較する。ステップb3では、ステップb2の結果、データ信号または区切り信号のレベルが変更されているか否かが判断される。変更されている場合は、ステップb4へ移り、変更されていない場合はデータ受信処理を終了する。

【0034】ステップb4では、ステップb1で受信されるデータ信号のレベルを1ビット分のデータとして、データ信号のレベルから論理値の判断を行い、1ビットのデジタルデータとして読込む。ステップb5では、現在のデータ信号および区切り信号のレベルを受信装置12のRAM24に記憶させ、ステップb6でデータ受信の動作を終了する。

【0035】以上の説明では、送信側と受信側との役割が固定されているけれども、データ信号線13および区切り信号線14に加えて、別のデータ信号線および区切り信号線を送信装置11としての入力ポート25および受信装置12としてのラッチ付き出力ポート24との間に接続すれば、全二重通信も可能となる。

【0036】また、以上の説明では、データ信号と区切り信号の伝送経路が電気的な有線式の場合を説明しているけれども、光ファイバや無線、赤外線を伝送経路としてもよい。

【0037】また、以上の説明では、区切り信号をレベルの変化として伝送しているけれども、区切り信号として、データ信号の連続するビットが同値である場合に付加されるワンショットパルス等とすることもできる。

【0038】

【発明の効果】以上のように本発明によれば、送信側と受信側の間に、シリアルデータ信号の伝送経路と、シリアルデータのビットの区切りを示すための区切り信号の伝送経路が別個に設けられる。送信側は、各ビットデータの論理値に対応するレベルで、連続的にデータ信号を伝送するとともに、データ信号の連続するビットが同値である場合に、予め定める区切り信号を伝送するので、クロック信号のようなタイミング信号に同期してデータ信号を変化させる必要がない。受信側では、データ信号および区切り信号を受信し、データ信号のレベルが変化する時点または区切り信号が伝送される時点をもビットの区切りとして、データ信号の各ビットの論理値を判断し、デジタルデータとして読込む。ビットの区切りを判断する処理が簡易化されて、ビット毎の信号の読取りを簡単に処理することが可能となり、高速度の通信を行うことができる。

【0039】また本発明によれば、区切り信号はレベルの変化として伝送されるので、受信側においてデータ信号または区切り信号のいずれかのレベルが変化した時点をもビットの区切りとすることができる。

(6)

9

【0040】また本発明によれば、データ信号と区切り信号は、すべてコンピュータのプログラム動作によって制御されるので、比較的簡単な構成として、システムを小型化することができる。

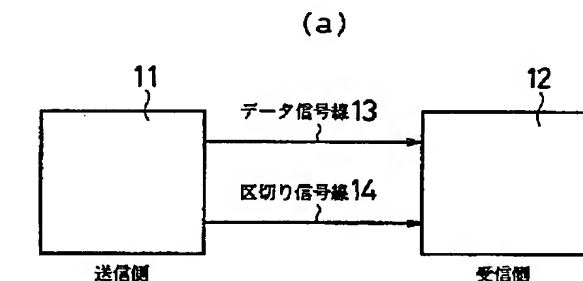
【0041】また本発明によれば、データ信号または区切り信号のレベルが変化する時点をビットの区切りとして、データ信号の各ビットの論理値を判断し、デジタルデータとして読込むので、レベル変化の周期が長くなり、たとえば、CMOS型デバイスを用いて信号レベルの変化または信号のレベル変化の検出を行う場合、消費電力を削減することができる。

【0042】また本発明によれば、データ信号信号伝送手段および区切り信号伝送手段に、各ビット毎の論理値に対応するレベルで信号を導出するラッチ手段をそれぞれ備えるので、たとえば、通信がソフトウェアで実現される場合、信号レベルを変化させるときにのみ、ソフトウェアは通信に関係する処理を行い、他の処理をしながら通信を行うことができる。

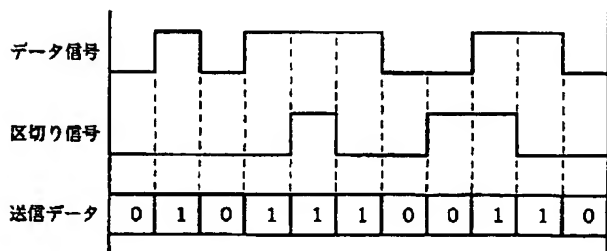
【図面の簡単な説明】

【図1】本発明の実施の一形態の概略的な構成を示すブロック図および信号波形図である。

【図1】



(b)



10

【図2】図1の実施形態の送信装置11または受信装置12の概略的な構成を示すブロック図である。

【図3】図1の実施形態の送信時の動作を示すフローチャートである。

【図4】図1の実施形態の受信時の動作を示すフローチャートである。

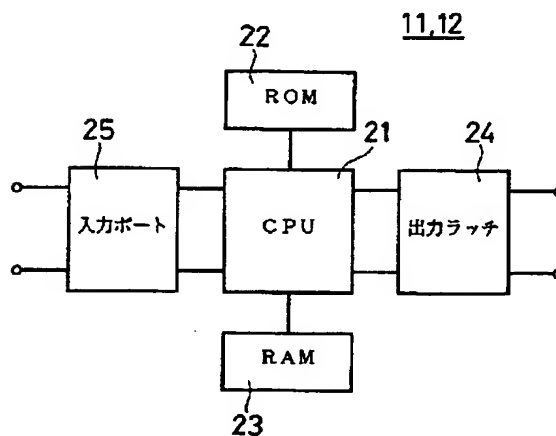
【図5】従来からのクロック同期式通信の概略的な構成を示すブロック図および信号波形図である。

【図6】特開平8-163182の図1の信号型式を示す図表である。

【符号の説明】

- 11 送信装置
- 12 受信装置
- 13 データ信号線
- 14 区切り信号線
- 21 CPU
- 22 ROM
- 23 RAM
- 24 ラッチ付き出力ポート
- 25 入力ポート

【図2】

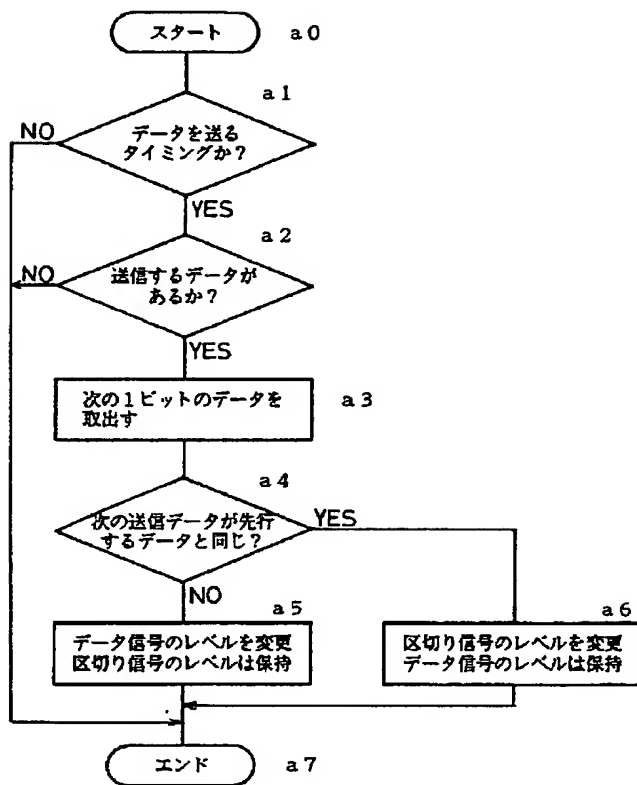


【図6】

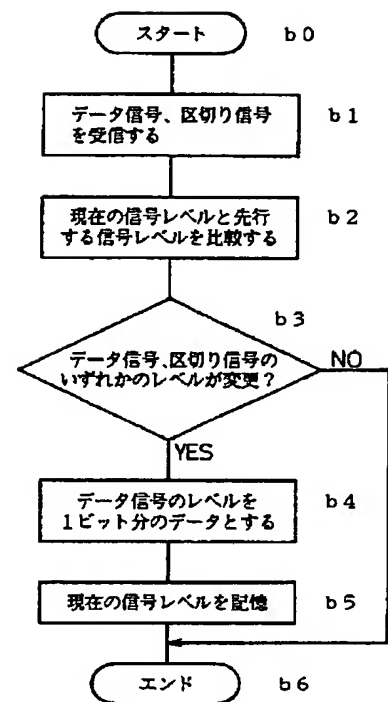
符号0	形式1	または	形式2
符号1	形式1	または	形式2

(7)

【図3】

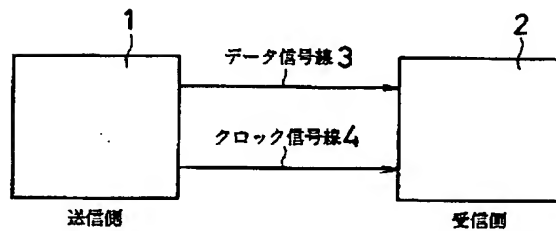


【図4】



【図5】

(a)



(b)

